

1302

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) PATENT LAID-OPEN GAZETTE (A)

(51) ○ Int. Cl. ⁷ (11) Laid-Open Publication No.: 2001-0076518
G11C 11/40 (43) Laid-Open Publication Date: August 16, 2001
(21) Application No. 10-2000-0003708
(22) Filing Date: January 26, 2000
(71) Applicant: Jong Yong YOON Samsung Electronics Co., Ltd.
416, Maetan 3-dong, Paldal-gu, Suwon-si, Kyungki
(72) Inventor: Tae Kyoon KIM
209-604 Ggachimaetul Joogong Apt., Gumi-dong,
Boondang-gu, Sungnam-si, Kyungki-do
Se Jin KIM
208-604 Jungdeunmaeul, 199 Jungja-dong,
Boondang-gu, Sungnam-si, Kyungki-do
Dae Soo JUNG
101-306 Hanshin Apt., 485 Byungjum-ri, Taeae-eup,
Hwasung-goon, Kyungki-do
(74) Patent Attorney(s): Chang Hyun LIM, Hyuk Soo KWON

Request for Examination: Yes

(54) SYSTEM HAVING MEMORY DEVICES OF THE SAME INTERFACE SYSTEM

ABSTRACT

A DRAM device and a SRAM device have a NAND interface system (where the same pins are used in common in addresses and data) so that they are directly connected to buses (address/data bus and control bus) of a NAND-type flash memory device connected to a microprocessor. According to the common interface system, the DRAM device, the SRAM device, the NAND-type flash memory device and a NOR-type flash memory device have the same interface system, and are controlled independently or individually by only one memory controller.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2001-0076518
G11C 11/40 (43) 공개일자 2001년08월16일

(21) 출원번호	10-2000-0003708
(22) 출원일자	2000년01월26일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 김태균 경기도성남시분당구구미동까치마을주공APT209동604호 김세진 경기도성남시분당구정자동199정든마을208-604 정대수 경기도화성군태안읍병점리485한신APT101동306호 임창현, 권혁수
(74) 대리인	임창현, 권혁수

심사결과 : 있음

(54) 공통 인터페이스 방식의 메모리 장치들을 구비한 시스템

요약

본 발명에 따르면, DRAM 장치 및 SRAM 장치는 마이크로프로세서에 연결된 낸드형 플래시 메모리 장치의 버스들 (어드레스/데이터 버스 및 제어 버스)에 직접 연결되도록 낸드 인터페이스 방식 (어드레스 및 데이터가 동일한 핀들이 공통으로 사용되는 인터페이스 방식)을 갖는다. 이러한 공통 인터페이스 방식에 따르면, DRAM 장치, SRAM 장치, 낸드형 플래시 메모리 장치 그리고 노어형 플래시 메모리 장치는 동일한 인터페이스 방식을 가지며, 단지 하나의 메모리 컨트롤러에 의해서 독립적으로 (또는, 개별적으로) 제어된다.

도표도

도2

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 시스템 구성을 보여주는 블록도;
도 2는 본 발명에 따른 시스템 구성을 보여주는 블록도;
도 3은 본 발명에 따른 DRAM, SRAM, 노어형 플래시 메모리 및 낸드형 플래시 메모리의 핀 배열을 보여주는 도면;
도 4는 도 2에 도시된 낸드 인터페이스 DRAM 및 SRAM의 읽기 및 쓰기 동작들을 보여주는 타이밍도;
도 5는 도 2에 도시된 낸드형 플래시 메모리 장치를 보여주는 블록도;
도 6은 도 5에 도시된 낸드형 플래시 메모리 장치의 읽기 동작을 보여주는 타이밍도;
도 7은 본 발명의 다른 실시예에 따른 시스템 구성을 보여주는 블록도;
도 8은 도 7에 도시된 SRAM 및 낸드형 플래시 메모리의 볼 핀 배열을 보여주는 도면; 그리고
도 9a 내지 도 9c는 도 8에 도시된 SRAM 인터페이스 낸드형 플래시 메모리 장치의 읽기/프로그램/블록 소거 동작들을 보여주는 타이밍도들이다.

도면의 주요 부분에 대한 부호의 설명

1, 100, 300 : 마이크로프로세서 5, 6, 7, 110, 310 : 메모리 컨트롤러
2, 140 : DRAM 3, 150, 360 : SRAM
4, 170, 350 : 낸드형 플래시 메모리 장치
160 : 노어형 플래시 메모리 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 장치들에 관한 것으로서, 구체적으로는 공통 인터페이스 방식을 갖는 메모리들을 구비한 시스템에 관한 것이다.

최근, 컴퓨터 또는 마이크로프로세서를 기초한 시스템을 구성할 때 여러 가지의 메모리 장치들이 동시에 요구되고 있다. 예를 들면, 그러한 시스템의 저장 매체로서, 다이내믹 랜덤 액세스 메모리 장치 (이하, DRAM 장치라 칭함)와 스태틱 랜덤 액세스 메모리 장치 (이하, SRAM 장치라 칭함)와 같은 휘발성 반도체 메모리 장치들과 낸드형 플래시 메모리 장치 및 노어형 플래시 메모리 장치와 같은 불휘발성 반도체 메모리 장치들이 동시에 요구되고 있다. 시스템의 저장 매체로서 사용되는 휘발성 및 불휘발성 반도체 메모리 장치들은 대응하는 메모리 컨트롤러들(memory controller)에 의해서 각각 제어된다. 상기 메모리 컨트롤러의 예들이 USP No. 5,684,978에 'SYNCHRONOUS DRAM CONTROLLER WITH MEMORY ACCESS COMMANDS TIMED FOR OPTIMIZED USE OF DATA BUS'라는 제목으로 그리고 USP No. 5,893,136에 'MEMORY CONTROLLER FOR INDEPENDENTLY SUPPORTING SYNCHRONOUS AND ASYNCHRONOUS DRAM MEMORIES'라는 제목으로 각각 게재되어 있다.

이 분야에 잘 알려진 바와 같이, DRAM 및 SRAM 장치들은 어드레스 핀들과 데이터 핀들이 서로 분리된 인터페이스 방식을 채용하는 반면에, 낸드형 플래시 메모리 장치는 어드레스 핀들과 데이터 입출력 핀들이 공통으로 사용되는 인터페이스 방식 (즉, '멀티플렉싱 인터페이스 방식')을 채용하고 있다. 상기 낸드형 플래시 메모리 장치는 삼성 전자가 1998년 3월 출판한 'Flash Memories'에 관련된 데이터 북에 게재되어 있으며, 상기 DRAM 장치는 삼성 전자가 1995년에 출판한 'MOS Memory'에 관련된 데이터 북에 게재되어 있고, 상기 SRAM 장치는 삼성 전자가 1995년 4월 출판한 'SRAM/FIFO'에 관련된 데이터 북에 게재되어 있다.

도 1을 참조하면, 종래 기술에 따른 시스템이 블록도 형태로 도시되어 있다. 종래의 시스템은 마이크로프로세서 (1) (또는 중앙 처리 장치, 통신 단말기의 베이스밴드 모듈, 코덱, 등), DRAM 장치 (2), SRAM 장치 (3), 그리고 낸드형 플래시 메모리 장치 (4)를 포함한다. 마이크로프로세서 (1)는 DRAM 장치 (2), SRAM 장치 (3) 그리고 낸드형 플래시 메모리 장치 (4)를 각각 제어하기 위한 메모리 컨트롤러들 (5, 6, 7)을 포함한다. 도면에서 알 수 있듯이, DRAM 장치 전용의 메모리 컨트롤러 (5)는 대응하는 버스를 통해 어드레스 및 제어 신호들을 DRAM 장치 (2)에 전달하며, SRAM 장치 전용의 메모리 컨트롤러 (6)는 대응하는 버스를 통해 어드레스 및 제어 신호들을 SRAM 장치 (3)에 전달한다. 마찬가지로, 낸드형 플래시 메모리 장치 전용의 메모리 컨트롤러 (7)는 대응하는 버스를 통해 어드레스 및 제어 신호들을 낸드형 플래시 메모리 장치 (4)에 전달한다.

시스템에서 사용되는 메모리 장치들 각각이 서로 다른 핀 배열 및 인터페이스 방식을 갖기 때문에, 도면에 도시된 바와 같이, 각 메모리 장치 전용의 메모리 컨트롤러가 마이크로프로세서 (1)에 제공되어야 한다. 이는 마이크로프로세서 (1) (또는 중앙 처리 장치, 통신 단말기의 베이스밴드 모듈, 코덱, 복합화합, 등)의 사이즈 증가 원인이 된다. 또한, 그러한 이유 때문에, 서로 다른 핀 배열 및 인터페이스 방식을 갖는 메모리 장치들을 칩-사이즈 패키지 (chip-sized package, CSP)에 함께 실장하는 것이 불가능하다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 동일한 버스에 공통으로 연결된 낸드 인터페이스 DRAM, SRAM, 노어형 플래시 메모리 장치들을 구비한 시스템을 제공하는 것이다.

본 발명의 다른 목적은 SRAM 인터페이스 방식을 갖는 낸드형 플래시 메모리 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 버스 사용 효율을 높일 수 있는 낸드형 플래시 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 바와 같은 제반 목적들을 달성하기 위한 본 발명의 특징에 따르면, 반도체 메모리 장치는 다이내믹/스태틱 랜덤 액세스 메모리 칩 및; 상기 랜덤 액세스 메모리 칩을 구비한 패키지를 포함한다. 상기 패키지는 상기 랜덤 액세스 메모리 칩을 외부 장치에 전기적으로 연결하는 복수 개의 핀들을 가지며; 상기 복수 개의 핀들은 랜덤 액세스 메모리 및 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리에 공통적으로 메모리 기능들을 제공하고, 상기 복수 개의 핀들 각각은 상기 불 휘발성 반도체 메모리의 대응하는 핀의 위치에 배열된다.

이 실시예에 있어서, 상기 복수 개의 핀들은 어드레스 및 데이터를 받아들이기 위한 입출력 핀들, 전원 전압 핀들, 접지 전압 핀들, 읽기 인에이블 핀, 칩 인에이블 핀, 커맨드 래치 인에이블 핀, 어드레스 래치 인에이블 핀, 그리고 쓰기 인에이블 핀을 포함한다.

본 발명의 다른 특징에 따르면, 반도체 메모리 장치는 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리 칩 및; 상기 불 휘발성 반도체 메모리 칩을 구비한 패키지를 포함하며, 상기 패키지는 상기 칩을 외부 장치에 전기적으로 연결하는 복수 개의 핀들을 갖는다. 상기 복수 개의 핀들은 제 1 그룹의 핀들과 제 2 그룹의 핀들을 포함하되, 상기 제 1 그룹의 핀들은 스태틱 랜덤 액세스 메모리 및 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리에 공통적으로 메모리 기능들을 제공하고, 상기 제 1 그룹의 핀들 각각은 상기 스태틱 랜덤 액세스 메모리의 대응하는 핀의 위치에 배열되며, 상기 제 2 그룹의 핀들은 상기 스태틱 랜덤 액세스 메모리에 사용되지 않는 불 휘발성 반도체 메모리의 기능들을 제공하며,

상기 제 2 그룹의 핀들 각각은 상기 스테틱 랜덤 액세스 메모리의 사용되지 않는 핀의 위치에 배열된다. 이러한 반도체 메모리 장치에 의하면, 마이크로프로세서 (또는, 통신단말기의 베이스밴드 모듈, 다수의 디바이스들이 하나의 칩에 구현된 복합화 칩, 등)에 제공되는 메모리 장치들을 단지 하나의 메모리 컨트롤러를 이용하여 제어할 수 있다.

이하, 본 발명이 참조 도면들에 의거하여 상세히 설명되며, 참조 도면들에는 본 발명의 바람직한 실시예들이 도시되어 있다.

본 발명에 따르면, 핀 배열, 구조, 그리고 DRAM, SRAM 및 낸드형 플래시 메모리 장치들에 대한 동작 방법들이 제공된다. DRAM 장치 및 SRAM 장치는 마이크로프로세서 (microprocessor), 중앙 처리 장치 (central processing unit) 또는 복합화 칩에 연결된 낸드형 플래시 메모리 장치의 버스를 (어드레스/입출력 버스 및 제어 버스에 직접 연결되도록 낸드 인터페이스 방식 (어드레스 및 데이터가 동일한 핀들이 공통으로 사용되는 인터페이스 방식)을 갖는다. 아울러, 노어형 플래시 메모리 장치 역시 낸드형 플래시 메모리 장치와 동일한 버스에 직접 연결되도록 상기 낸드 인터페이스 방식을 갖는다. 또한, 상기 낸드형 플래시 메모리 장치는 SRAM 장치와 동일한 버스를 (예를 들면, 어드레스 버스, 데이터 버스 및 제어 버스)에 직접 연결되도록 SRAM 인터페이스 방식 (어드레스 핀과 입출력 핀이 서로 분리된 방식)을 갖는다. 결과적으로, DRAM 장치, SRAM 장치, 낸드형 플래시 메모리 장치 그리고 노어형 플래시 메모리 장치는 동일한 인터페이스 방식을 가지며, 단지 하나의 메모리 컨트롤러에 의해서 독립적으로 (또는, 개별적으로) 제어된다. 동일한 인터페이스 방식을 갖는 메모리 장치들에 대한 핀 배열, 구조 및 동작 방법이 이하 상세히 설명된다.

도 2를 참조하면, 본 발명에 따른 시스템의 구성이 블록도 형태로 도시되어 있다. 마이크로프로세서 (100)는 메모리 컨트롤러 (110)를 포함한다. 상기 메모리 컨트롤러 (110)에는 어드레스와 데이터를 전달

하기 위한 어드레스/데이터 버스 (120)와 복수의 제어 신호들 (예를 들면, \overline{CE} , \overline{RE} , \overline{WE} , ALE, CLE)를 전달하기 위한 제어 버스 (130)가 연결된다. 상기 버스를 (120, 130)에는 DRAM 장치 (140), SRAM 장치 (150), 노어형 플래시 메모리 장치 (160) 그리고 낸드형 플래시 메모리 장치 (170)가 직접 연결되어 있다. 이러한 내용으로부터 각 메모리 장치가 동일한 인터페이스 방식을 가짐을 알 수 있다. 구체적으로, DRAM 장치 (140), SRAM 장치 (150), 그리고 노어형 플래시 메모리 장치 (150)는 낸드형 플래시 메모리 장치 (160)와 동일한 버스를 (120, 130)에 직접 연결되도록 낸드 인터페이스 방식 (어드레스와 데이터가 동일한 핀들이 공통으로 사용되는 인터페이스 방식)을 갖는다. 본 발명에 따른 낸드 인터페이스 방식을 지원하는 메모리 장치들 (140, 150, 160, 170)의 핀 배열이 도 3에 도시되어 있다.

도 3을 참조하면, 16Mb DRAM 장치, 8Mb SRAM 장치 그리고 8Mb 노어형 플래시 메모리 장치의 핀 배열이 128핀 낸드형 플래시 메모리 48-핀 TSOP1 패키지 제품과 비교되어 있다. 모든 메모리 장치들에 공통적인 메모리 기능들을 제공하는 제 1 그룹의 핀들이 DRAM 장치 (140), SRAM 장치 (150), 노어형 플래시 메모리 장치 (160) 그리고 낸드형 플래시 메모리 장치 (170)에 포함된다. 상기 제 1 그룹의 핀들은 어드레스 및 데이터를 받아들이는 8개의 입출력 핀들 (1/00~1/07), 2개의 전원 전압 핀 (VCC), 2개의 접지 전압 핀 (VSS) 그리고 5개의 기능 핀들 즉, 대응하는 메모리 장치를 선택하기 위한 칩 인에이블 핀 (\overline{CE}), 읽기 인에이블 핀 (\overline{RE}), 쓰기 인에이블 핀 (\overline{WE}), 어드레스 래치 인에이블 핀 (ALE), 그리고 커맨드 래치 인에이블 핀 (CLE)을 포함한다.

도 3에 도시된 바와 같이, 노어형 플래시 메모리 장치 (150) 및 낸드형 플래시 메모리 장치 (160)에만 포함된 제 2 그룹을 구성하는 3개의 기능 핀들이 제공된다. 상기 제 2 그룹의 핀들은 DRAM 및 SRAM 장치들 (140, 150)의 비연결 핀들 (N.C)과 대응하도록 배열되며, 그 결과 모든 메모리 장치들이 동일한 버스에 공통으로 연결된다. 즉, 스페어 어레이 인에이블 핀 (\overline{SE})이 메모리 장치들 (140, 150) 각각의 6번째 핀 (N.C, non-connection의 약어)에 위치하도록, 레디/비지 핀 (ready/busy) (R/\overline{B})이 메모리 장치들 (140, 150) 각각의 7번째 핀 (N.C)에 위치하도록 그리고 쓰기 방지 핀 (write protect pin) (\overline{WP})이 메모리 장치들 (140, 150) 각각의 19번째 핀 (N.C)에 위치하도록 배열되어 있다. 48개의 핀들 중 28개의 핀들은 비연결 핀들 (N.C)임을 도 3에서 알 수 있다.

상기 스페어 어레이 인에이블 핀 (\overline{SE})의 입력은 대응하는 플래시 메모리 장치에 제공되는 스페어 어레이 선택을 제어한다. 상기 쓰기 방지 핀 (\overline{WP})의 입력은 파워 천이할 때 생길 수 있는 쓰기/소거 방지를 제어하며, 활성화될 때 메모리 장치 내의 내부 고전압 발생기 (미도시됨)가 리셋된다. 그리고, 레디/비지 핀 (R/\overline{B})의 출력은 대응하는 플래시 메모리 장치의 동작 상태를 나타내며, 로우일 때 플래시 메모리 장치의 프로그램, 소거 또는 읽기 동작이 진행되고 있음을 나타낸다.

본 발명에 따른 메모리 장치들 (140, 150, 160, 170)은 동일한 인터페이스 방식 (구체적으로, 낸드형 플래시 메모리 장치의 인터페이스 방식)에 따라 동작하도록 동일한 핀 배열을 갖는다. 이로써, 모든 메모리 장치들 (140, 150, 160, 170)은 동일한 버스를 (즉, 어드레스/입출력 버스 그리고 제어 버스)에 직접 연결된다. 그러므로, 마이크로프로세서 (또는, 통신단말기의 베이스밴드 모듈, 다수의 디바이스들이 하나의 칩에 구현된 복합화 칩, 등)에 하나의 메모리 컨트롤러를 구현하여 모든 메모리 장치들 (140, 150, 160, 170)의 동작들을 제어할 수 있다. 게다가, 동일한 핀 배열을 갖기 때문에 메모리 장치들 (140, 150, 160, 170)을 칩-사이즈 패키지에 구현하기 것이 용이하다.

앞서 설명된 바와 같은 공통 인터페이스 방식을 갖는 DRAM 및 SRAM 장치들의 읽기/쓰기 동작들이 도 4의 타이밍도를 기초로 하여 상세히 설명된다. 먼저, DRAM 장치 (140)를 선택하기 위한 칩 인에이블 신호 (\overline{CE})가 활성화되었다고 가정하자. 이때, 다른 메모리 장치들에 대응하는 칩 인에이블 신호들은 비선택된 상태로 유지된다. 이러한 가정 하에서, 읽기 동작을 설명하면 다음과 같다. 커맨드 래치 인에이블 신

호 (CLE)가 로직 로우 레벨에서 로직 하이 레벨로 천이할 때 입출력 핀들 (I/Oi) (i=0~7)을 통해 행 어드레스 (RA)가 DRAM 장치 (140)에 제공된다. 그 다음에, 열 어드레스 (CA)가 읽기 인에이블 신호 (\overline{RE})의 로우-하이 천이시 입출력 핀들 (I/Oi)을 통해 제공된다. 소정의 액세스 시간 (tREA)이 경과한 후, 메모리 셀 어레이로부터 읽혀진 데이터 (DOU)가 어드레스/데이터 버스 (120)에 연결된 입출력 핀들 (I/Oi)을 통해 읽기 인에이블 신호 (\overline{RE})에 동기되어 마이크로프로세서 (100)에 연결된 버스 (120)로 전달된다. 상기 커맨드 래치 인에이블 신호 (CLE)가 로직 하이 레벨에서 로직 로우 레벨로 천이할 때 읽기 동작이 종료된다.

동일한 가정 하에서, 쓰기 동작을 설명하면 다음과 같다. 상기 커맨드 래치 인에이블 신호 (CLE)가 행 프리차지 시간 (tCLEP)이 경과한 후 다시 로직 로우 레벨에서 로직 하이 레벨로 천이할 때, 입출력 핀들 (I/Oi) (i=0~7)을 통해 행 어드레스 (RA)가 제공된다. 그 다음에, 열 어드레스 (CA)가 쓰기 인에이블 신호 (\overline{WE})의 로우-하이 천이시 입출력 핀들 (I/Oi)을 통해 제공된다. 이후, 쓰기 인에이블 신호 (\overline{WE})에 동기된 데이터 (DIN)가 버스 (120)에 연결된 데이터 입출력 핀들 (I/Oi)을 통해 입력되며, 그렇게 입력된 데이터는 이 분야에 잘 알려진 레이트 라이트 (late write) 방식에 따라 메모리 셀 어레이에 저장된다.

도 4에 있어서, 본 발명에 따른 낸드 인터페이스 DRAM 및 SRAM 장치들의 AC 특성 파라미터를 일반적인 DRAM 및 SRAM 장치들의 AC 특성 파라미터와 비교하여 정리하면, 다음의 표들과 같다.

[표 1]

기존 DRAM	tCAC	tHPC	tDOH	tRP
NI-DRAM	tREA	tRC(tWC)	tRHZ	tCLEP
속도	15ns	25(25)ns	15ns	30ns

(NI-DRAM:낸드 인터페이스 DRAM)

[표 2]

기존 SRAM	tACCB	tCLK	tOHZ	tAS/tAH	tACC2
NI-SRAM	tREA	tRC(tWC)	tRHZ	tAS/tAH	tACC
속도	15ns	25(25)ns	15ns	20/0ns	100ns

(NI-SRAM:낸드 인터페이스 SRAM)

본 발명에 따른 낸드 인터페이스 SRAM 장치의 읽기/쓰기 동작 역시 도 4의 동작 타이밍도에 따라 수행되며, 그것의 설명은 그러므로 생략된다. 앞서 설명한 바에 따르면, 낸드 인터페이스 DRAM/SRAM 장치의 읽기 동작 및 쓰기 동작은 신호들 (\overline{RE} , \overline{WE})을 이용하여 구별된다. 예컨대, 읽기 인에이블 신호 (\overline{RE})가 움직일 때 읽기 동작이 수행되고, 쓰기 인에이블 신호 (\overline{WE})가 움직일 때 쓰기 동작이 수행된다.

상기 커맨드 래치 인에이블 핀 (CLS)과 상기 읽기 인에이블 핀 (\overline{RE})이 일반적인 DRAM 장치의 행 어드레스 스트로브 핀 (\overline{RAS}) 및 열 어드레스 스트로브 핀 (\overline{CAS}) 대신에 사용됨을 앞서의 설명으로부터 알 수 있다. 그리고, 어드레스와 데이터가 동일한 입출력 핀들을 통해 제공되기 때문에, 연속적인 읽기 동작시 첫번째 어드레스에 따라 읽혀진 데이터의 출력과 두번째 어드레스의 입력 사이에 충돌이 생길 수 있다. 이를 해결하기 위해서, 연속적인 읽기 동작을 위한 어드레스 (즉, 버스트 어드레스)는 낸드 인터페이스 DRAM 장치의 내부에 제공되며 이 분야에 잘 알려진 버스트 카운터를 이용하여 생성되고, 상기 카운터는 상기 읽기 인에이블 신호 (\overline{RE})에 의해서 구동된다. 낸드 인터페이스 DRAM 장치의 리프레시 동작은 커맨드 래치 인에이블 신호 (CLE) 및 읽기 인에이블 신호 (\overline{RE})를 이용하여 수행될 수 있다. 예컨대, 일반적인 DRAM 장치의 ROR 리프레시 (/RAS only refresh)는 커맨드 래치 인에이블 신호 (CLE)를 이용하여 수행되며, CBR 리프레시 (/CAS before /RAS refresh)는 커맨드 래치 인에이블 신호 (CLE) 및 읽기 인에이블 신호 (\overline{RE})를 이용하여 수행된다.

상기 낸드 인터페이스 SRAM 장치에 관련하여, 상기 읽기 인에이블 신호 (\overline{RE})는 일반적인 SRAM 장치의 버스트 어드레스 카운터의 버스트 어드레스 생성을 제어하는 신호 (\overline{ADV}) 및 출력 인에이블 신호 (\overline{OE})로서 사용된다. 예컨대, 신호 (\overline{ADV})가 활성화될 때 버스트 어드레스 카운터는 초기 어드레스를 이용하여 내부적으로 일련의 버스트 어드레스를 발생하며, 신호 (\overline{OE})가 로우로 유지될 때 낸드 인터페이스 SRAM 장치의 메모리 셀 어레이로부터 읽혀진 데이터가 데이터 입출력 핀들 (I/Oi)을 통해 출력된다. 본 발명의 낸드 인터페이스 SRAM 장치는 두번째 걸쳐 입력되는 어드레스를 중 두번째로 입력된 어드레스를 버스트 어드레스로서 사용한다.

본 발명에 따른 낸드형 플래시 메모리 장치가 블록도 형태로 도 5에 도시되어 있고, 읽기 동작을 설명하기 위한 동작 타이밍도가 도 6에 도시되어 있다. 이하, 도 6를 기초로 하여 읽기 동작이 상세히 설명된다.

도 5를 참조하면, 입출력 핀들 (I/Oi) (i=0~7)을 통해 입력된, 읽기 동작을 알리는, 커맨드 (DOH)가 커맨드 레지스터 (210)에 전달되고, 연속적으로 열 어드레스 (A0~A7) 및 페이지 (행) 어드레스 (A8~A16,

A17~A23)이 Y-버퍼 래치 (212) 및 X-버퍼 래치 (214)에 각각 래치된다. 그 다음에, 읽기 제어 로직 (216)의 제어에 따라 실질적인 읽기 동작 (즉, 페이지 버퍼 회로에 선택된 행의 메모리 셀들에 저장된 데이터가 래치되는 동작)이 수행되도록 레디/비지 신호 ($\overline{RD}/\overline{BZ}$)는 소정 시간 동안 (예를 들면, 약 $10\mu s$) 로직 로우 레벨로 유지된다. 이때, 다른 메모리 장치의 읽기/쓰기 동작을 수행하기 위해서, 낸드형 플래시 메모리 장치가 비선택된다 (즉, 낸드형 플래시 메모리 장치에 대응하는 칩 인에이블 신호 (\overline{CE})가 로직 로우 레벨에서 로직 하이 레벨로 천이한다).

다른 메모리 장치의 읽기/쓰기 동작이 완료되고 낸드형 플래시 메모리 장치를 선택하기 위한 칩 인에이블 신호 (\overline{CE})가 다시 하이-로우 천이를 가지면, 앞서 설명된 것과 동일한 방법으로 커맨드 (00h), 열 어드레스 및 페이지 어드레스가 커맨드 레지스터 (210), Y-버퍼 래치 (212), 그리고 X-버퍼 래치 (214)에 각각 전달된다. 이때, X-버퍼 래치 (214)에 래치되어 있던 이전의 페이지 어드레스는 X-버퍼 래치 (218)로 전달되며, 비교 회로 (220)는 X-버퍼 래치를 (214, 218)에 각각 래치된 어드레스들이 일치하는지의 여부를 비교하여, 비교 결과로서 신호 (HIT/MISS)를 출력한다. 양 어드레스들이 일치함을 나타내는, 예를 들면, 로직 하이 레벨의 신호 (HIT/MISS)에 응답하여, 읽기 제어 로직 (216)은 현재 입력된 즉, X-버퍼 래치 (214)에 래치된 어드레스에 관련된 감지 동작이 수행되지 않도록 제어한다. 예컨대, X-프리 디코더 (222)가 읽기 제어 로직 (216)에 의해서 디제이빙된다. 이후, 이전에 수행된 감지 동작에 따라 페이지 버퍼 회로 (224)에 래치된 데이터는 읽기 제어 로직 (216)의 제어에 따라 입출력 핀들 (I/O)를 통해 버스 (120)로 전달된다.

이러한 읽기 방법에 따르면, 이전에 입력된 페이지 (행) 어드레스와 현재 입력된 페이지 (행) 어드레스가 일치할 때 실질적인 읽기 동작 (구체적으로, 감지 동작)이 수행되지 않으며, 이전에 입력된 페이지 어드레스에 대응하여 페이지 버퍼 회로 (224)에 래치된 데이터가 현재 요구되는 읽기 동작의 데이터로서 외부로 출력된다. 도 6에서 알 수 있듯이, 현재 읽기 동작에 필요한 시간 (t_C) (예를 들면, $100ns$)은 이전의 읽기 동작에 필요한 시간 (t_R) (예를 들면, $10\mu s$)보다 짧다. 그러므로, 짧은 시간 동안 다른 메모리 장치가 동일한 버스 (SRAM, DRAM, 노어형 플래시 메모리 및 낸드형 플래시 메모리)를 사용할 수 있기 때문에, 공통 인터페이스 방식에 따라 구현된 메모리 장치들의 버스 사용 효율이 향상된다.

도 7을 참조하면, 본 발명의 다른 실시예에 따른 시스템의 구성이 블록도 형태로 도시되어 있다. 마이크로프로세서 (300)는 메모리 컨트롤러 (310)를 포함하며, 상기 메모리 컨트롤러 (310)는 메모리 장치의 동작을 제어하기 위한 제어 신호를 및 어드레스 신호들을 발생한다. 상기 메모리 컨트롤러 (310)에는 어드레스를 전달하기 위한 어드레스 버스 (320), 데이터를 전달하기 위한 데이터 버스 (330) 그리고 제어 신호들을 전달하기 위한 제어 버스 (340)가 연결된다. 또한, 상기 버스를 (320, 330, 340)에는 낸드형 플래시 메모리 장치 (350)와 SRAM 장치 (360)가 직접 연결되어 있다. 이러한 내용으로부터 알 수 있듯이, 각 메모리 장치는 동일한 인터페이스 방식을 갖는다. 구체적으로, 낸드형 플래시 메모리 장치 (350)는 SRAM 장치 (360)와 동일한 버스를 (320, 330, 340)에 직접 연결되도록 SRAM 인터페이스 방식 (어드레스 핀과 데이터 핀이 분리된 인터페이스 방식)을 갖는다. 이를 만족하는 볼 핀 배열이 도 8에 도시되어 있다.

도 8을 참조하면, 낸드형 플래시 메모리 장치의 볼 핀 배열이 SRAM 48-핀 FBGA 패키지 제품과 비교되어 있다. 양 메모리 장치들에 공통적인 메모리 동작을 제공하는 제 1 그룹의 핀들이 낸드형 플래시 메모리 장치 (350) 및 SRAM 장치 (360)에 포함된다. 상기 제 1 그룹의 핀들은 어드레스를 받아들이는 어드레스 핀들 (A0~A16), 데이터를 받아들이는 입출력 핀들 (I/O1~I/O16), 2개의 전원 전압 핀 (VCC), 2개의 접지 전압 핀 (VSS) 그리고 6개의 기능 핀들 즉, 대응하는 메모리 장치를 선택하기 위한 칩 선택 핀들 ($\overline{CS2}$, $\overline{CS1}$), 출력 인에이블 핀 (\overline{OE}), 쓰기 인에이블 핀 (\overline{WE}), 하위 바이트의 데이터 비트들을 선택하는 핀 (\overline{LB}) 및 상위 바이트의 데이터를 선택하는 핀 (\overline{UB})을 포함한다.

도 8에 도시된 바와 같이, 낸드형 플래시 메모리 장치 (350)에만 포함된 제 2 그룹을 구성하는 2개의 기능 핀들이 제공된다. 상기 제 2 그룹의 핀들은 SRAM 장치의 비연결 핀들 (N.C)과 대응하도록 배열되며, 그 결과 메모리 장치들 (350, 360)이 동일한 어드레스, 데이터 및 제어 버스들에 공통으로 연결된다. 즉, 레디/비지 핀 ($\overline{RD}/\overline{BZ}$) ($\overline{RD}/\overline{BZ}$)이 SRAM 장치 (360)의 1H 핀 (N.C)에 위치하도록 그리고 하드웨어 리셋 핀 (\overline{RST})이 SRAM 장치 (360)의 6H 핀 (N.C)에 위치하도록 배열되어 있다. 게다가, 낸드형 플래시 메모리 장치 (350)는 어드레스 핀들 (A17, A18)을 더 포함하며, SRAM 장치 (360)의 3D 및 3E 핀들 (N.C)에 각각 위치하도록 배열되어 있다. 도 8로부터 알 수 있듯이, 48개의 핀들 중 나머지 핀들은 비연결된 핀들 (N.C)이다.

본 발명의 낸드형 플래시 메모리 장치는 입출력 핀들로 적정 커맨드 신호들을 인가함으로써 읽기, 페이지 프로그램, 블록 소거, 칩 소거 및 소거 중지/재개 동작을 수행할 수 있다. 예를 들면, 다음의 표 3에 도시된 바와 같이, 커맨드 신호 '80h' (FF hexadecimal)가 입출력 핀에 인가되면, 낸드형 플래시 메모리 장치는 상기 커맨트를 인식하여 페이지 프로그램 동작을 수행한다. 마찬가지로, 커맨드 신호들 'FFh', '60h', '80h/00h'은 낸드형 플래시 메모리 장치가 리셋 동작, 블록 소거 동작 그리고 소거 중지/재개 동작을 각각 수행하게 한다. 커맨드의 입력이 없는 경우, 디폴트 모드로서 읽기 동작이 수행된다.

[표 3]

동작 모드	커맨드 세트	
	제 1 사이클	제 2 사이클
읽기 동작	어드레스	
리셋 동작	FFh	
페이지 프로그램 동작	80h	
블록 소거 동작	60h	00h
소거 중지/재개 동작	80h/00h	

앞서 설명된 바와 같은 공통 인터페이스 방식을 갖는 낸드형 플래시 메모리 장치의 읽기/프로그램/블록 소거 동작들이 도 9a 내지 도 9c의 타이밍도들을 기초로 하여 상세히 설명된다.

먼저, 칩 선택 신호 ($\overline{CS1}$)가 로직 하이 레벨에서 로직 로우 레벨로 천이함에 따라 낸드형 플래시 메모리 장치가 선택된다. 그 다음에, 도 9a에 도시된 바와 같이, 커맨드 신호의 입력없이 어드레스 핀들 (Ai)을 통해 페이지 어드레스가 인가된다. 이때, 레디/비지 신호 (R/\overline{B})는 낸드형 플래시 메모리 장치의 읽기 동작을 수행하기 위한 소거 시간 (tR)동안 로직 하이 레벨에서 로직 로우 레벨로 천이된다. 잘 알려진 페이지 버퍼 회로는 상기 읽기 시간 동안 선택된 행의 메모리 셀들로부터 데이터를 감지하여 래치한다. 그렇게 래치된 데이터는 출력 인에이블 신호 (\overline{OE})에 동기되어 입출력 핀들 (I/Oi)을 통해 외부 (예컨대, 데이터 버스에 연결된 메모리 컨트롤러)로 출력된다.

도 9b를 참조하면, 칩 선택 신호 ($\overline{CS1}$)가 로직 하이 레벨에서 로직 로우 레벨로 천이한 후, 더미 어드레스 커맨드 (AAh) (블록정 데이터에 의해 원하지 않는 프로그램 동작을 방지하기 위해 제공되는 커맨드), 시리얼 데이터 입력 커맨드 (80h), 열/행 어드레스 (ADD) 그리고 일련의 데이터 (Din)가 순차적으로 입력된다. 도면에 도시된 바와 같이, 시리얼 데이터 입력 커맨드 (80h) 및 데이터 (Din)는 쓰기 인에이블 신호 (\overline{WE})의 로우-하이 천이시 입출력 핀들 (I/Oi)을 통해 입력되고, 커맨드 (AAh) 및 어드레스 (ADD)는 쓰기 인에이블 신호 (\overline{WE})의 하이-로우 천이시 어드레스 핀들 (Ai)을 통해 입력된다. 이후, 레디/비지 신호 (R/\overline{B})가 소정의 프로그램 시간 (tPROG) 동안 로직 로우 레벨로 유지됨에 따라 메모리 셀들에 대한 실질적인 프로그램 동작이 수행된다. 도면에 도시된 바와 같이, 프로그램 동작이 수행된 후 입출력 핀 (I/O0)을 통해 출력되는 신호는 프로그램 성공 또는 프로그램 실패를 알리는 플래그 신호로서 사용된다.

SRAM 장치와 동일한 버스에 연결된 낸드형 플래시 메모리 장치의 블록 소거 동작은 프로그램 동작과 마찬가지로, 도 9c를 참조하면, 쓰기 인에이블 신호 (\overline{WE})의 하강 에지를 기준으로 하여 더미 어드레스 커맨드 (AAh) (블록정 데이터에 의해 원하지 않는 프로그램 동작을 방지하기 위해 제공되는 커맨드) 및 블록 어드레스가 입력되고, 쓰기 인에이블 신호 (\overline{WE})의 상승 에지를 기준으로 하여 블록 소거 세업 커맨드 (60h) 및 블록 소거 동작을 확인하는 커맨드 (00h)가 입력된다. 이후, 레디/비지 신호 (R/\overline{B})가 소정의 소거 시간 (tBERS) 동안 로직 로우 레벨로 유지됨에 따라 블록 소거 동작이 수행된다. 블록 소거 동작이 수행된 후 입출력 핀 (I/O0)을 통해 출력되는 신호는 소거 성공 또는 소거 실패를 알리는 플래그 신호로서 사용된다.

표명의 요점

상술한 바와 같이, 시스템에 제공되는 메모리 장치들은 동일한 인터페이스 방식 (예를 들면, 낸드형 플래시 메모리 장치의 인터페이스 방식 또는 SRAM 장치의 인터페이스 방식)에 따라 동작하도록 동일한 핀 배열을 갖는다. 이로써, 모든 메모리 장치들은 동일한 버스에 직접 연결되며, 그 결과 마이크로프로세서 (또는, 통신단말기의 베이스밴드 모듈, 다수의 디바이스들이 하나의 칩에 구현된 복합화 칩, 등)에 하나의 메모리 컨트롤러를 구현하여 모든 메모리 장치들의 동작들을 제어할 수 있다. 게다가, 동일한 핀 배열을 갖기 때문에 메모리 장치들을 칩-사이즈 패키지에 구현하기 것이 용이하다.

(5) 청구의 범위

청구항 1. 랜덤 액세스 메모리 칩 및;

상기 랜덤 액세스 메모리 칩을 구비한 패키지를 포함하되,

상기 패키지는 상기 랜덤 액세스 메모리 칩을 외부 장치에 전기적으로 연결하는 복수 개의 핀들을 가지며;

상기 복수 개의 핀들은 랜덤 액세스 메모리 및 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리에 공통적으로 메모리 기능들을 제공하고, 상기 복수 개의 핀들 각각은 상기 불 휘발성 반도체 메모리의 대응하는 핀의 위치에 배열되는 반도체 메모리 장치.

청구항 2. 제 1 항에 있어서,

상기 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리 장치는 낸드형 플래시 메모리 장치를

포함하는 반도체 메모리 장치.

청구항 3. 제 2 항에 있어서,

상기 랜덤 액세스 메모리는 다이내믹 랜덤 액세스 메모리 및 스택틱 랜덤 액세스 메모리를 포함하는 반도체 메모리 장치.

청구항 4. 제 3 항에 있어서,

상기 복수 개의 핀들은 어드레스 및 데이터를 받아들이기 위한 입출력 핀들, 전원 전압 핀들, 접지 전압 핀들, 읽기 인에이블 핀, 칩 인에이블 핀, 커맨드 래치 인에이블 핀, 어드레스 래치 인에이블 핀, 그리고 쓰기 인에이블 핀을 포함하는 반도체 메모리 장치.

청구항 5. 제 4 항에 있어서,

상기 불 휘발성 반도체 메모리는

행들과 열들로 배열된 EPROM 셀들을 갖는 메모리 셀 어레이와;

행 어드레스를 받아들이는 제 1 래치 회로와;

상기 제 1 래치 회로로부터 출력된 행 어드레스에 응답하여 상기 행들 중 적어도 하나를 선택하는 행 선택 회로와;

상기 선택된 행에 대응하는 셀들에 저장된 데이터를 읽고, 그렇게 읽혀진 데이터를 래치하는 페이지 버퍼 회로와;

상기 제 1 래치 회로에 래치된 상기 행 어드레스를 받아들이며 임시적으로 저장하는 제 2 래치 회로와;

상기 제 1 및 제 2 래치 회로들에 각각 래치된 행 어드레스들을 받아들이고, 상기 행 어드레스들이 일치하는지의 여부를 비교하는 비교 회로 및;

상기 비교 회로의 출력 신호에 따라 상기 행 선택 회로의 동작을 제어하는 읽기 제어 로직을 포함하는 반도체 메모리 장치.

청구항 6. 제 5 항에 있어서,

열 어드레스에 응답하여 상기 열들 중 일부를 선택하는 열 선택 회로 및;

상기 선택된 열들에 대응하는 상기 페이지 버퍼 회로에 래치된 데이터를 출력하는 출력 수단을 추가적으로 포함하는 반도체 메모리 장치.

청구항 7. 제 6 항에 있어서,

상기 읽기 제어 로직은 상기 행 어드레스들이 서로 일치할 때 상기 비교 회로로부터 출력된 신호에 응답하여 상기 행 선택 회로를 비활성화시키며, 그 결과 상기 페이지 버퍼 회로에 의한 읽기 동작 없이 상기 페이지 버퍼 회로에 래치된 데이터가 상기 출력 수단을 통해 출력되는 반도체 메모리 장치.

청구항 8. 제 5 항에 있어서,

상기 제 1 및 제 2 래치 회로들은 슈프트 레지스터로 동작하는 반도체 메모리 장치.

청구항 9. 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리 칩 및;

상기 불 휘발성 반도체 메모리 칩을 구비한 패키지를 포함하되,

상기 패키지는 상기 칩을 외부 장치에 전기적으로 연결하는 복수 개의 핀들을 가지며;

상기 복수 개의 핀들은 제 1 그룹의 핀들과 제 2 그룹의 핀들을 포함하되, 상기 제 1 그룹의 핀들은 스택틱 랜덤 액세스 메모리 및 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리에 공통적으로 메모리 기능들을 제공하고, 상기 제 1 그룹의 핀들 각각은 상기 스택틱 랜덤 액세스 메모리의 대응하는 핀의 위치에 배열되며,

상기 제 2 그룹의 핀들은 상기 스택틱 랜덤 액세스 메모리에 사용되지 않는 불 휘발성 반도체 메모리의 기능들을 제공하며, 상기 제 2 그룹의 핀들 각각은 상기 스택틱 랜덤 액세스 메모리의 사용되지 않는 핀의 위치에 배열되는 반도체 메모리 장치.

청구항 10. 제 9 항에 있어서,

상기 전기적으로 소거 및 프로그램 가능한 불 휘발성 반도체 메모리 장치는 낸드형 플래시 메모리 장치를 포함하는 반도체 메모리 장치.

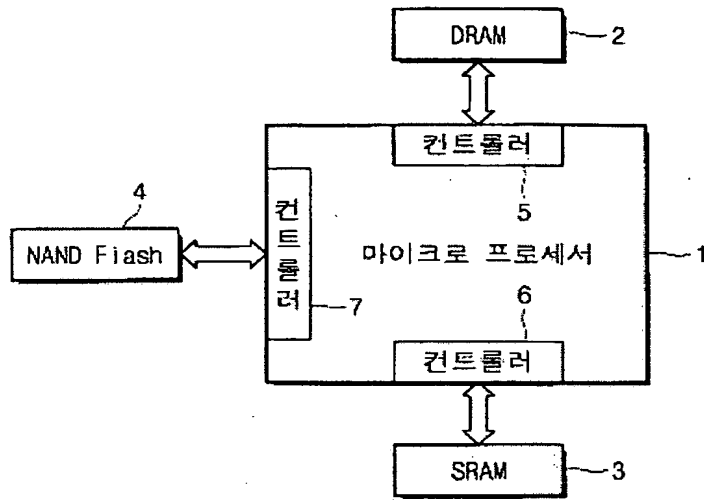
청구항 11. 제 9 항에 있어서,

상기 제 1 그룹의 핀들은 어드레스 핀들, 입출력 핀들, 전원 전압 핀들, 접지 전압 핀들, 칩 선택 핀, 출력 인에이블 핀, 그리고 쓰기 인에이블 핀을 포함하는 반도체 메모리 장치.

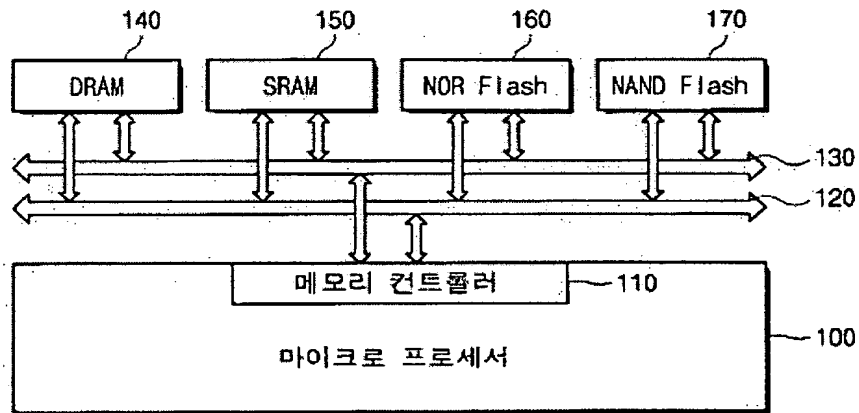
도면

도면1

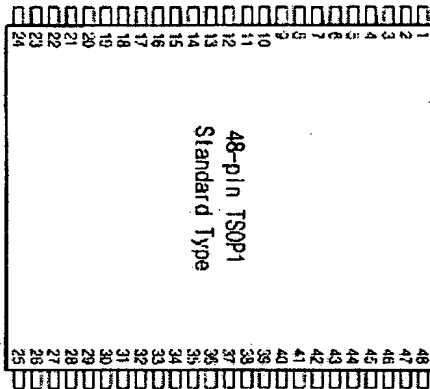
(종래 기술)



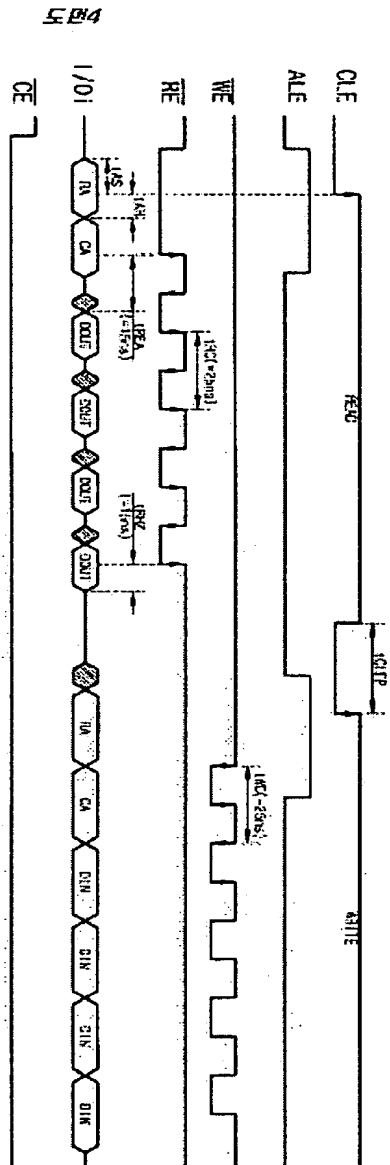
도면2

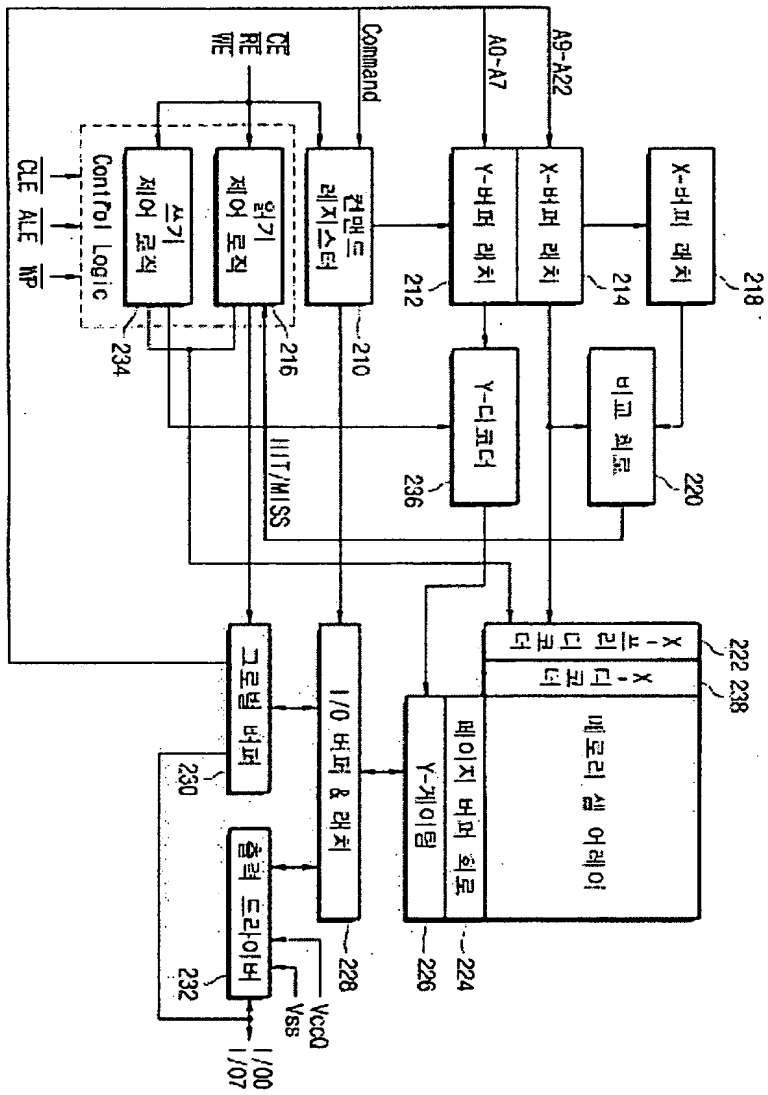


3.

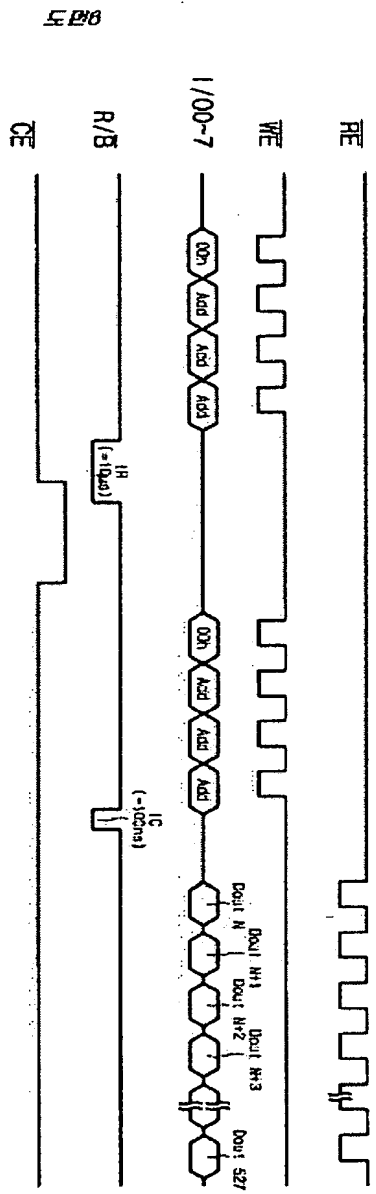
[illegible]

128kb NAND	16kb DRAM	8kb SRAM	512b NOR
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
1/07	1/07	1/07	1/07
1/06	1/06	1/06	1/06
1/05	1/05	1/05	1/05
1/04	1/04	1/04	1/04
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
VCC	VCC	VCC	VCC
VSS	VSS	VSS	VSS
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
1/03	1/03	1/03	1/03
1/02	1/02	1/02	1/02
1/01	1/01	1/01	1/01
1/00	1/00	1/00	1/00
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C
N.C	N.C	N.C	N.C

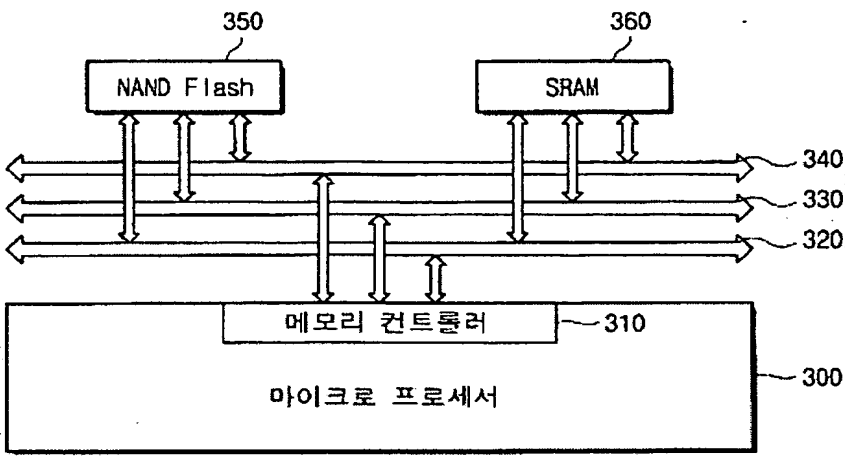




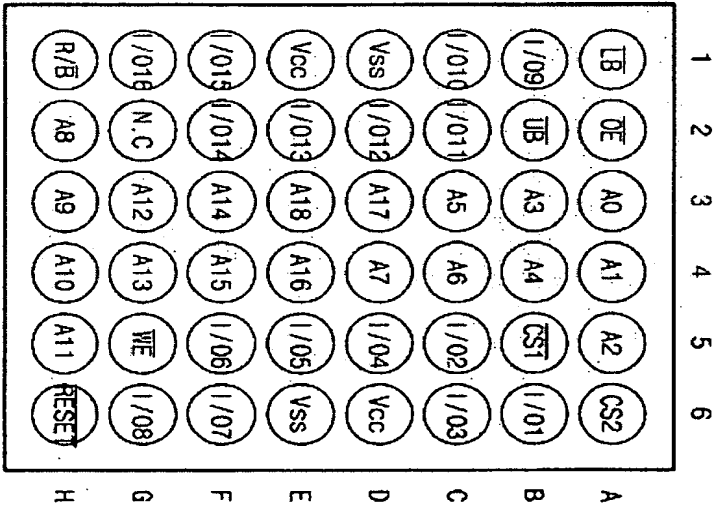
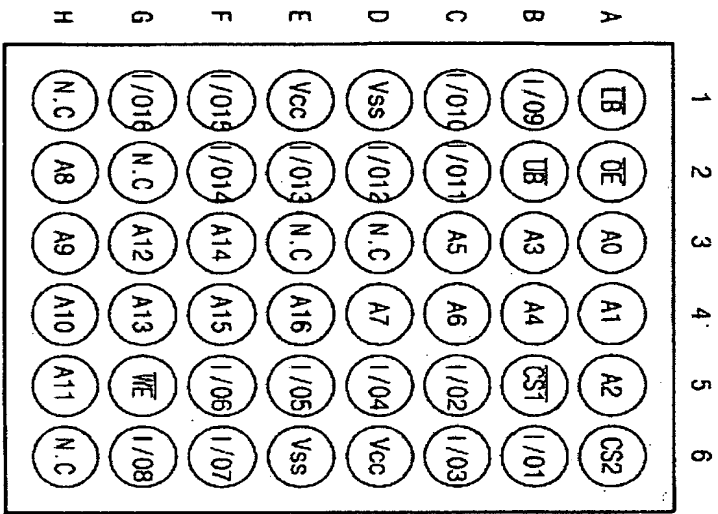
도 5



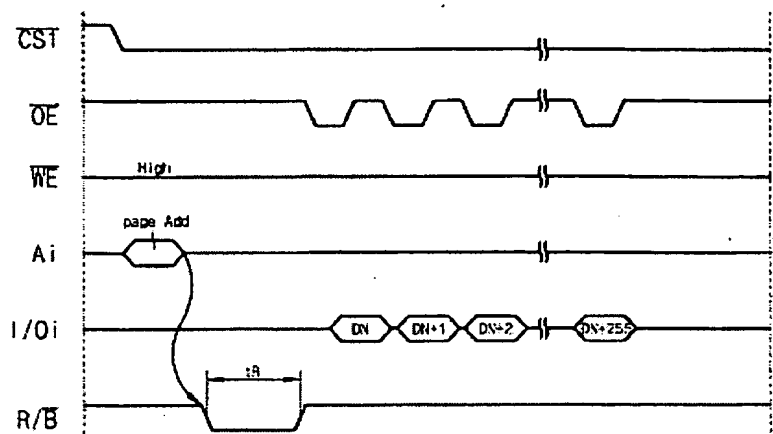
도 27



828



5098



5296

